

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-045584
(43)Date of publication of application : 14.02.1992

(51)Int.CI.

H01L 45/00
H01L 27/10
H01L 29/788
H01L 29/792

(21)Application number : 02-152677

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 13.06.1990

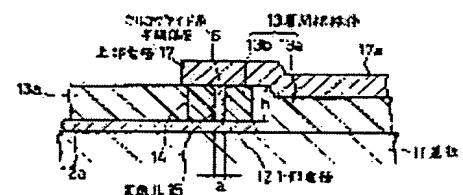
(72)Inventor : SASAKI MAKOTO

(54) PHASE TRANSITION TYPE MEMORY ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To reduce a current value of reset pulse which changes a chalcogenide semiconductor from crystal state to amorphous state and reloads a memory element from 'on' state to 'off' state by making an entire region of a semiconductor layer a current path.

CONSTITUTION: A through-hole of a small diameter (1.5 to 0.1μm) which is smaller than a diameter (2 to 3μm) of a current path which is formed in a semiconductor layer of a conventional phase transition type memory element is provided to a layer insulating film which insulates a lower electrode and an upper electrode. A chalcogenide semiconductor layer is filled inside the through-hole. Thereby, an entire region of the semiconductor layer becomes a current path. According to the phase transition type memory element, a diameter of the through-hole, that is, a diameter of a semiconductor layer which is filled inside the through-hole is small and a volume of a current path (a volume of an entire of the semiconductor layer) is thereby small; therefore, it is possible to reduce a current value of reset pulse which changes the chalcogenide semiconductor from crystal state to amorphous state and reloads a memory element from 'on' state to 'off' state.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 平4-45584

⑤Int. Cl.⁵
 H 01 L 45/00
 27/10
 29/788
 29/792

識別記号 庁内整理番号
 431 B 6810-4M
 8831-4M

⑥公開 平成4年(1992)2月14日

7514-4M H 01 L 29/78 371

審査請求 未請求 請求項の数 3 (全9頁)

⑦発明の名称 相転移型メモリ素子およびその製造方法

⑧特 願 平2-152677
 ⑨出 願 平2(1990)6月13日

⑩発明者 佐々木 誠 東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

⑪出願人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明細書

1. 発明の名称

相転移型メモリ素子およびその製造方法

2. 特許請求の範囲

(1) 絶縁性基板上に形成された下部電極と、この下部電極を覆って前記基板上に形成された層間絶縁膜と、この絶縁膜に前記下部電極の一部に対応させて設けられた貫通孔と、この貫通孔内に充填され下端面において前記下部電極に接するカルコゲナイト系の半導体層と、前記絶縁膜の上に形成され一部において前記半導体層の上端面に接する上部電極とからなり、かつ前記貫通孔の直径を $1.5 \mu\text{m} \sim 0.1 \mu\text{m}$ の範囲にしたことを特徴とする相転移型メモリ素子。

(2) 絶縁性基板上に下部電極とこの下部電極を覆う層間絶縁膜を形成するとともにこの絶縁膜に前記下部電極の一部に対応させて直径 $1.5 \mu\text{m} \sim 0.1 \mu\text{m}$ の貫通孔を形成する工程と、前記絶縁膜上およびその貫通孔内にカルコゲナイト系半導体層を堆積させ、この後前記絶縁膜上の

半導体層をエッチング除去して前記貫通孔内のみに半導体層を残す工程と、前記絶縁膜の上に前記貫通孔内の半導体層を覆って上部電極を形成する工程とからなることを特徴とする相転移型メモリ素子の製造方法。

(3) 絶縁膜上およびその貫通孔内にカルコゲナイト系の半導体層を堆積させた後、この半導体層をその融点以上の温度に加熱し、この後前記絶縁膜上の半導体層をエッチング除去することを特徴とする請求項2に記載の相転移型メモリ素子の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、カルコゲナイト系半導体を用いた相転移型メモリ素子およびその製造方法に関するものである。

〔従来の技術〕

最近、不揮発性メモリ素子として、カルコゲナイト系半導体を用いた相転移型のメモリ素子が開発されている。

この相転移型メモリ素子は、基本的には一対の電極間にカルコゲナイト系の半導体層を介在させたもので、この相転移型メモリ素子としては、従来、第4図に示すような構造のものが知られています。

この相転移型メモリ素子の構造を説明すると、図中1はガラス板等からなる絶縁性基板であり、この基板1上には下部電極2とそのライン部2aが形成され、さらにこの基板1上には、前記下部電極2およびライン部2aを覆う層間絶縁膜3が形成されている。この絶縁膜3には、下部電極2の一部を露出させる開口4が形成されており、この開口4は一般に直径5μm～10μmの大きさに形成されている。そして、カルコゲナイト系の半導体層5は、前記絶縁膜3の開口4内からその周囲の絶縁膜上面にわたって形成されており、開口4内の部分の下面において前記下部電極2の上面に接している。また、前記絶縁膜3の上には前記半導体層5を覆って上部電極6が形成されており、前記半導体層5の上面はこの上部電極6に接

している。なお、6aは上部電極6のライン部である。

この相転移型メモリ素子は、カルコゲナイト系半導体のアモルファス状態から結晶状態および結晶状態からアモルファス状態への相転移を利用してオン状態とオフ状態とに書き換えるもので、例えば半導体層5の層厚を0.3μmとした相転移型メモリ素子は、パルス幅30μsec～200μsec、波高5V～10Vのセットパルスの印加によりオン状態となり、パルス幅0.3μsec、電流値100mAのリセットパルスの印加によりオフ状態に戻される。すなわち、下部電極2と上部電極6との間に前記セットパルスを印加すると、この電極2、6間に半導体層5中に生じるフィラメント状の電流バスAを流れる電流によりジュール熱が発生して半導体層5の電流バスA部分がアモルファス状態から結晶状態に相転移し、電流バスAの抵抗値が低くなつてメモリ素子がオン状態となる。なお、第4図では半導体層5中に生ずる電流バスAを半導体層5の中央部に図示している

が、この電流バスAは、半導体層5の最も電流が流れやすい箇所に形成される。また、カルコゲナイト系半導体は、結晶化した後は印加電圧を下げてジュール熱をなくしてもアモルファス状態には戻らず、したがつてメモリ素子のオン状態はそのまま保持される。また、電極2、6間に前記リセットパルスを印加すると、半導体層5の電流バスA部分が一旦溶融した後その熱を周囲の半導体層5に奪われて急冷され、この電流バスA部分が結晶状態からアモルファス状態に戻つて電流バスAの抵抗値が高くなり、メモリ素子がオフ状態となる。また、読み出しは、電極2、6の一方に読み出しパルスを印加し、メモリ素子のオン、オフ状態に応じて変化する他方の電極の出力を読み取ることで行なわれる。

ところで、この相転移型メモリ素子においては、その半導体層5中に生ずるフィラメント状の電流バスAの直径約2μm～3μm程度であり、半導体層5のアモルファス状態と結晶状態との相転移は電流バスA部分に発生するだけであるが、半

導体層5の相転移領域（電流バスAが形成される部分）を除く部分がその全域にわたつてアモルファス状態であれば、半導体層5の相転移領域以外の部分は常に高抵抗であるから、半導体層5の面積がどのような大きさであつても、メモリ素子の特性にはほとんど差がない。このため従来の相転移型メモリ素子では、電極2、6間に絶縁する層間絶縁膜3に直径5μm～10μmの大きさの開口4を設けてこの部分全体に半導体層5を形成している。

〔発明が解決しようとする課題〕

しかしながら、前記従来の相転移型メモリ素子は、その半導体層5中に生ずる電流バスAの直径約2μm～3μm程度であり、この電流バスA部分の半導体が結晶状態とアモルファス状態とに相転移するため、この相転移領域の体積が大きく、したがつて、半導体層5の相転移領域を結晶状態からアモルファス状態に戻してメモリ素子をオン状態からオフ状態に書き換えるリセットパルスとして大きな電流パルス（半導体層5の層厚が0.3

μm の場合で 100 mA) を必要とするという問題をもっていた。

また、前記従来の相転移型メモリ素子は、半導体層 5 の相転移領域を除く部分がその全域にわたってアモルファス状態となっていることが必要であるため、その製造時のプロセス温度に制約があるという問題ももっていた。これは、相転移型メモリ素子の製造過程においてプロセス温度がカルコゲナイト半導体の結晶化温度（アモルファス状態から結晶状態に相転移する温度） T_c を越え、しかもその後に徐冷されると、半導体層 5 がその全体にわたって結晶化してしまうためである。なお、半導体層 5 が結晶化しても、これを溶融して急冷すれば半導体層 5 をアモルファス状態に戻すことができるが、面積の大きな半導体層 5 の全体をアモルファス状態に戻すには大きな電流パルス（例えば半導体層 5 の幅が 1.0 μm 、層厚が 0.3 μm の場合は、数 100 mA) を電極 2, 6 間に印加しなければならないため、電極 2, 6 間を絶縁している絶縁膜 3 に絶縁破壊を発生させ

るおそれがある。このため、従来の相転移型メモリ素子は、前記結晶化温度 T_c を越えないようなプロセス温度で製造されているが、カルコゲナイト半導体の結晶化温度 T_c は、この半導体の組成にもよるが 50 °C ~ 200 °C であるため、この温度以下にプロセス温度を抑えるには製造プロセスの自由度が大きく制約され、したがって、例えば同じ基板 1 上に相転移型メモリ素子をマトリックス状に配列形成するとともにその駆動回路を構成する薄膜トランジスタを形成する場合に、前記薄膜トランジスタの製造プロセスも温度上の制約を受けてしまう。

さらに、前記従来の相転移型メモリ素子は、半導体層 5 の面積が大きいため、メモリの素子面積を小さくして集積度を上げることができないという問題ももっていた。

本発明はこのような実情にかんがみてなされたものであって、その目的とするところは、カルコゲナイト系半導体を結晶状態からアモルファス状態にしてメモリ素子をオン状態からオフ状態に替

換えるリセットパルスの電流値を小さくすることができるとともに、製造時のプロセス温度の制約もなくして製造プロセスの自由度を広げることができ、しかも素子面積も小さくして集積度を上げることができる相転移型メモリ素子を提供するとともに、あわせてその製造方法を提供することにある。

〔課題を解決するための手段〕

本発明の相転移型メモリ素子は、絶縁性基板上に形成された下部電極と、この下部電極を覆って前記基板上に形成された層間絶縁膜と、この絶縁膜に前記下部電極の一部に対応させて設けられた貫通孔と、この貫通孔内に充填され下端面において前記下部電極に接するカルコゲナイト系の半導体層と、前記絶縁膜の上に形成され一部において前記半導体層の上端面に接する上部電極とからなり、かつ前記貫通孔の直径を 1.5 μm ~ 0.1 μm の範囲にしたことを特徴とするものである。

また、本発明の相転移型メモリ素子の製造方法は、絶縁性基板上に下部電極とこの下部電極を覆

う層間絶縁膜を形成するとともにこの絶縁膜に前記下部電極の一部に対応させて直径 1.5 μm ~ 0.1 μm の貫通孔を形成する工程と、前記絶縁膜上およびその貫通孔内にカルコゲナイト系の半導体層を堆積させ、この後前記絶縁膜上の半導体層をエッチング除去して前記貫通孔内のみに半導体層を残す工程と、前記絶縁膜の上に前記貫通孔内の半導体層を覆って上部電極を形成する工程とからなることを特徴とするものである。

この製造方法においては、前記絶縁膜上およびその貫通孔内にカルコゲナイト系の半導体層を堆積させた後に、この半導体層をその融点以上の温度に加熱し、この後前記絶縁膜上の半導体層をエッチング除去するのが望ましい。

〔作用〕

すなわち、本発明の相転移型メモリ素子は、下部電極と上部電極との間を絶縁する層間絶縁膜に、従来の相転移型メモリ素子においてその半導体層に形成される電流バスの直径 (2 μm ~ 3 μm) より小さな直径 (1.5 μm ~ 0.1 μm) の貫

貫通孔を設けて、この貫通孔内にカルコゲナイト系の半導体層を充填することにより、この半導体層の全層が電流バスとなるようにしたものであり、この相転移型メモリ素子によれば、前記貫通孔の直径すなわちこの貫通孔内に充填された半導体層の直径が小さく、したがって電流バスの体積（半導体層全体の体積）が小さいため、カルコゲナイト系半導体を結晶状態からアモルファス状態にしてメモリ素子をオン状態からオフ状態に替換するリセットパルスの電流値を小さくすることができる。なお、本発明において前記貫通孔の直径を1.5μm～0.1μmの範囲としているのは、貫通孔の直径を1.5μmより大きくすると、この貫通孔内に充填される半導体層の直径が大きくなってしまってリセットパルスの電流値をあまり小さくすることができなくなり、また貫通孔の直径を0.1μmより小さくすると、この貫通孔内に充填される半導体層の直径が小さくなりすぎて安定した相転移が得られなくなるためである。また、この相転移型メモリ素子では、半導体層の全層が

電流バスとなってこの半導体層全体がアモルファス状態と結晶状態とに相転移するため、半導体層の初期状態はアモルファス状態でも結晶状態でもよく、したがって、その製造過程でプロセス温度が半導体の結晶化温度を越えても構わないから、製造時のプロセス温度の制約もなくして製造プロセスの自由度を広げることができる。しかも、この相転移型メモリ素子では、半導体層の直径を小さくしているため、素子面積も小さくして集積度を上げることができる。

また、本発明の相転移型メモリ素子の製造方法によれば、層間絶縁膜に下部電極の一部に対応させて直径1.5μm～0.1μmの貫通孔を形成し、この絶縁膜上およびその貫通孔内にカルコゲナイト系の半導体層を堆積させた後に、前記絶縁膜上の半導体層をエッチング除去して前記貫通孔内のみに半導体層を残しているから、前記絶縁膜の貫通孔内に半導体層を充填した前記相転移型メモリ素子を製造することができる。

また、この製造方法において、前記絶縁膜上お

よびその貫通孔内にカルコゲナイト系の半導体層を堆積させた後、この半導体層をその融点以上の温度に加熱すれば、半導体層の堆積時における貫通孔内への半導体の充填が不完全であっても、半導体層が加熱により流動状態となって絶縁膜上の半導体が貫通孔に流入するから、貫通孔内に半導体を完全に充填して、貫通孔内に緻密な膜質の半導体層を形成することができる。

【実施例】

以下、本発明の一実施例を図面を参照して説明する。

第1図はこの実施例の相転移型メモリ素子の断面図であり、ガラス板等からなる絶縁性基板11の上には下部電極12およびそのライン部12aが形成され、さらにこの基板11上には、前記下部電極12およびライン部12aを覆う層間絶縁膜13が0.1μm～0.5μmの厚さに形成されている。この層間絶縁膜13は、下部電極12に対応する部分に直径が2μm～5μm程度の円形開口14を形成した基板ほぼ全面を覆う第1の

絶縁膜13aと、この第1の絶縁膜13aの開口14内に第1の絶縁膜13aと同じ膜厚に形成された第2の絶縁膜13bとからなっており、前記第2の絶縁膜13bの中央には、直径aが1.5μm～0.1μmのほぼ円形な貫通孔15が形成されている。そして、この貫通孔15内には、カルコゲナイト系の半導体層16が密に充填されており、この半導体層16はその下端面において前記下部電極12に接している。なお、カルコゲナイト系半導体としては、例えばGe-Te, In-Sn, Sb-Ge-Te等の各種組成の半導体があり、この実施例でもこれら半導体を用いている。また、前記層間絶縁膜13の上には、その貫通孔15内に充填した半導体層16を覆って上部電極17が形成されており、前記半導体層16の上面はこの上部電極17に接している。なお、17aは上部電極17のライン部である。

第2図は前記相転移型メモリ素子の製造工程図であり、この相転移型メモリ素子は次のようにして製造される。

まず、第2図(a)に示すように、基板11上にCr等の金属膜を堆積し、この金属膜をフォトリソグラフィ法によりパターニングして下部電極12とそのライン部12aを形成する。

次に、第2図(b)に示すように、前記基板11上にその全面にわたってSiNまたはSiO₂等の第1の絶縁膜13aを0.1μm～0.5μmの厚さに堆積させる。

次に、第2図(c)に示すように、前記第1の絶縁膜13aの下部電極12と対応する部分に、フォトリソグラフィ法によって直径bが2μm～5μm程度の円形開口14を形成する。

次に、第2図(d)に示すように、第1の絶縁膜13aの上とその開口14の壁面およびこの開口14内に露出した下部電極12の上に第2の絶縁膜13bを堆積させる。なお、この第2の絶縁膜13bの材質は任意でよいが、例えば、第1の絶縁膜13aと同じ絶縁材料(SiNまたはSiO₂等)とする。この第2の絶縁膜13bの堆積厚さは、前記開口14の中心部に、カルコゲ

ナイド系半導体を充填する貫通孔15の直径aに相当する径の縫穴部15'を残す厚さに制御する。また、この第2の絶縁膜13bの堆積はCVD法によって行なう。このCVD法による被膜の堆積では、原料ガスが被膜堆積面の表面で化学反応し、膜となって成長するため、第2の絶縁膜13bは、第1の絶縁膜13aの上面および下部電極12の上面にも、また開口14の壁面にも、これらの面に対して垂直な方向にそれぞれ均一な膜厚dに堆積する。

次に、第2図(e)に示すように、前記第2の絶縁膜13bを、基板11面に対して垂直な方向にエッティングが進行するエッティング条件で第1の絶縁膜13aおよび下部電極12の上面を露出させるまでエッティングバックする。この第2の絶縁膜13bのエッティングバックは、RIE法またはスパッタエッティング法等の異方性エッティングで行なう。このように第2の絶縁膜13bを異方性エッティングによってエッティングバックすると、第2の絶縁膜13bのうち、第1の絶縁膜13aの上

面に堆積した部分と、前記縫穴部15'の底部分がエッティング除去され、最終的に、開口14の壁面に堆積した絶縁膜13bだけが残るとともに、前記縫穴部15'が下部電極12に達する貫通孔15となる。なお、前記貫通孔4の直径aは、a = b - 2 × dであり、例えば第1の絶縁膜13aにフォトリソグラフィ法で形成した開口14の直径bを3μmとし、この開口14の壁面に残す第2の絶縁膜13bの膜厚dを1.45μmとすると、貫通孔4の直径aは、a = 3 - 2 × 1.45μm = 0.1μmとなる。

このようにして、第1の絶縁膜13aと貫通孔15を有する第2の絶縁膜13bとからなる層間絶縁膜13を形成した後は、第2図(f)に示すように、前記層間絶縁膜13上およびその貫通孔15内にカルコゲナイド系の半導体層16をCVD法等により堆積させ、前記貫通孔15内に前記半導体層16を充填する。

ただし、この場合、前記貫通孔15のアスペクト比、すなわち孔高(層間絶縁膜13の膜厚)h

と孔径aとの比(h/a)が1程度以上であると、貫通孔15内に堆積する半導体層16が貫通孔15内に完全に充填されずに、この半導体層16中に、第2図(f)に示すような空孔6ができることがある。

そこで、この実施例では、前記層間絶縁膜13上およびその貫通孔15内にカルコゲナイド系半導体層16を堆積させた後、この半導体層16をその融点以上の温度に加熱(リフロー)して、貫通孔15内に半導体を完全に充填させている。

第2図(g)はこの状態を示しており、堆積させた半導体層16をその融点以上の温度に加熱すれば、半導体層16の堆積時における貫通孔15内への半導体の充填が不完全であっても、半導体層16が加熱により流動状態となって絶縁膜13上の半導体が貫通孔15に流入するから、貫通孔内に半導体を完全に充填して、貫通孔内に緻密な膜質の半導体層を形成することができる。なお、この場合、半導体層16の加熱後にこの半導体層16を徐冷すると、半導体層16が結晶状態とな

り、また急冷すると半導体層16がアモルファス状態となるが、この半導体層16の冷却は徐冷と急冷のいずれによってもよい。

この後は、第2図(h)に示すように、層間絶縁膜13上の半導体層16をエッチング除去して前記貫通孔15内のみに半導体層16を残す。

次に、第2図(i)に示すように、前記層間絶縁膜13の上にCr等の金属膜を堆積し、この金属膜をフォトリソグラフィ法によりパターニングして、前記貫通孔15内の半導体層16を覆う下部電極17とそのライン部17aを形成し、相転移型メモリ素子を完成する。

すなわち、この実施例の相転移型メモリ素子は、下部電極12と上部電極17との間を絶縁する層間絶縁膜13に、直径aが $1.5\mu\text{m} \sim 0.1\mu\text{m}$ の貫通孔15を設けて、この貫通孔15内にカルコゲナイト系の半導体層16を充填したものであり、この相転移型メモリ素子では、その半導体層16の直径(貫通孔15の直径a)が、従来の相転移型メモリ素子においてその半導体層に形

される電流バスの直径($2\mu\text{m}$)である場合は、半導体層16を結晶状態からアモルファス状態に相転移させるのに必要なリセットバルスの電流値は 100mA と従来の相転移型メモリ素子とほぼ同じであるが、半導体層16の直径を $1.5\mu\text{m}$ にすると、前記リセットバルスの電流値は 56.3mA と、従来の相転移型メモリ素子のほぼ $1/2$ 程度ですみ、さらに半導体層16の直径を小さくすると、リセットバルスの電流値もさらに小さくなります。

なお、この実施例において、前記貫通孔15の直径aを $1.5\mu\text{m} \sim 0.1\mu\text{m}$ の範囲としているのは、貫通孔15の直径aを $1.5\mu\text{m}$ より大きくすると、この貫通孔15内に充填される半導体層16の直径が大きくなってしまリセットバルスの電流値をあまり小さくすることができなくなり、また貫通孔15の直径を $0.1\mu\text{m}$ より小さくすると、この貫通孔15内に充填される半導体層16の直径が小さくなりすぎて安定した相転移が得られなくなるためである。

成される電流バスの直径($2\mu\text{m} \sim 3\mu\text{m}$)よりも小さいため、半導体層16の全域が電流バスとなる。

そして、この相転移型メモリ素子によれば、半導体層16の直径が小さく、したがって電流バスの体積(半導体層16全体の体積)が小さいため、カルコゲナイト系半導体を結晶状態からアモルファス状態にしてメモリ素子をオン状態からオフ状態に書き換えるリセットバルスの電流値を小さくすることができる。

すなわち、下記の表は、半導体層16の厚さ(貫通孔15の孔高)を $0.3\mu\text{m}$ にした場合の、半導体層16の直径と、この半導体層16を結晶状態からアモルファス状態に相転移させるのに必要なリセットバルスの電流値との関係を示している。

直径(μm)	2.0	1.5	1.0	0.5	0.2	0.1
電流(mA)	100	56.3	25.0	6.3	1.0	0.25

この表のように、半導体層16の直径が従来の相転移型メモリ素子においてその半導体層に形成

また、この相転移型メモリ素子では、半導体層16の全域が電流バスとなってこの半導体層全体がアモルファス状態と結晶状態とに相転移するため、半導体層16の初期状態はアモルファス状態でも結晶状態でもよく、したがって、その製造過程でプロセス温度が半導体16の結晶化温度を越えて構わないから、製造時のプロセス温度の制約もなくして製造プロセスの自由度を広げることができる。したがって、例えば同じ基板11上に相転移型メモリ素子をマトリックス状に配列形成するとともにその駆動回路を構成する薄膜トランジスタを形成する場合でも、前記薄膜トランジスタの製造プロセスに温度上の制約を受けることはない。

しかも、この相転移型メモリ素子では、半導体層16の直径を小さくしているため、素子面積も小さくして集積度を上げることができる。

また、前記実施例の相転移型メモリ素子の製造方法では、層間絶縁膜13に下部電極12の一部に対応させて直径 $1.5\mu\text{m} \sim 0.1\mu\text{m}$ の貫通

孔14を形成し、この絶縁膜13上およびその貫通孔15内にカルコゲナイト系の半導体層16を堆積させた後に、前記絶縁膜13上の半導体層16をエッティング除去して前記貫通孔15内のみに半導体層16を残しているから、絶縁膜13の貫通孔15内に半導体層16を充填した前記相転移型メモリ素子を製造することができる。

しかも、この製造方法では、層間絶縁膜13に設ける貫通孔15を、まず第1の絶縁膜13aを形成してこの第1の絶縁膜13aに開口14を形成し、この開口14の壁面に第2の絶縁膜13bを堆積させる方法で形成しているため、前記第2の絶縁膜13bの堆積厚さを制御することで、直徑aが $1.5\mu\text{m}$ ～ $0.1\mu\text{m}$ の非常に小さな貫通孔15を形成することができる。

また、前記実施例の製造方法では、前記絶縁膜13上およびその貫通孔14内にカルコゲナイト系の半導体層16を堆積させた後、この半導体層16をその融点以上の温度に加熱しているため、半導体層16の堆積時における貫通孔15内への

16をその融点以上の温度に加熱して、絶縁膜13上の半導体を貫通孔15に流入させているが、貫通孔15の孔高（層間絶縁膜13の膜厚）hが貫通孔15の孔径aより小さくアスペクト比（ h/a ）が1より小さい場合は、半導体層16の堆積時にこの半導体層16が貫通孔15内に完全に充填されるから、この場合は前記加熱工程は省略してもよい。

〔発明の効果〕

本発明の相転移型メモリ素子は、下部電極と上部電極との間を絶縁する層間絶縁膜に、従来の相転移型メモリ素子においてその半導体層に形成される電流バスの直徑（ $2\mu\text{m}$ ～ $3\mu\text{m}$ ）より小さな直徑（ $1.5\mu\text{m}$ ～ $0.1\mu\text{m}$ ）の貫通孔を設けて、この貫通孔内にカルコゲナイト系の半導体層を充填することにより、この半導体層の全域が電流バスとなるようにしたものであるから、カルコゲナイト系半導体を結晶状態からアモルファス状態にしてメモリ素子をオン状態からオフ状態に替換するリセットバルスの電流値を小さくするこ

半導体の充填が不完全であっても、半導体層16を加熱により流動状態にして絶縁膜13上の半導体が貫通孔15に流入させ、貫通孔15内に半導体を完全に充填して、貫通孔15内に緻密な膜質の半導体層16を形成することができる。

なお、前記実施例では、層間絶縁膜13に設ける貫通孔15を、第1の絶縁膜13aに形成した開口14の壁面に第2の絶縁膜13bを堆積させる方法で形成しているが、この貫通孔15はフォトリソグラフィ法によって形成してもよく、現在のフォトリソグラフィ技術でも、 $1\mu\text{m}$ より僅かに小さい孔径までの貫通孔の形成は可能である。

第3図は貫通孔15をフォトリソグラフィ法によって形成した相転移型メモリ素子の実施例を示しており、この実施例は、層間絶縁膜13を単一の絶縁膜とし、この絶縁膜13にフォトリソグラフィ法によって貫通孔15を形成したものである。

また、前記実施例の製造方法では、層間絶縁膜13上およびその貫通孔14内にカルコゲナイト系の半導体層16を堆積させた後、この半導体層

とができるし、また、半導体層の全域が電流バスとなってこの半導体層全体がアモルファス状態と結晶状態とに相転移するために半導体層の初期状態はアモルファス状態でも結晶状態でもよいから、製造時のプロセス温度の制約もなくして製造プロセスの自由度を広げることができる。しかも、この相転移型メモリ素子では、半導体層の直徑を小さくしているため、素子面積も小さくして集積度を上げることができる。

また、本発明の相転移型メモリ素子の製造方法によれば、層間絶縁膜に下部電極の一部に対応させて直徑 $1.5\mu\text{m}$ ～ $0.1\mu\text{m}$ の貫通孔を形成し、この絶縁膜上およびその貫通孔内にカルコゲナイト系の半導体層を堆積させた後に、前記絶縁膜上の半導体層をエッティング除去して前記貫通孔内のみに半導体層を残しているから、前記絶縁膜の貫通孔内に半導体層を充填した前記相転移型メモリ素子を製造することができる。

また、この製造方法において、前記絶縁膜上およびその貫通孔内にカルコゲナイト系の半導体層

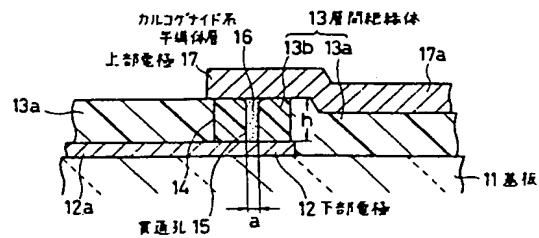
を堆積させた後、この半導体層をその融点以上の温度に加熱すれば、半導体層の堆積時における貫通孔内への半導体の充填が不完全であっても、半導体層が加熱により流動状態となつて絶縁膜上の半導体が貫通孔に流入するから、貫通孔内に半導体を完全に充填して、貫通孔内に緻密な膜質の半導体層を形成することができる。

4. 図面の簡単な説明

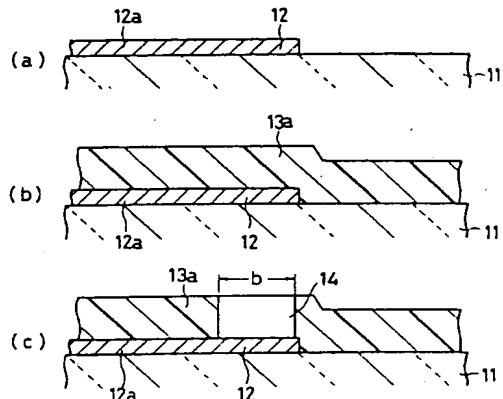
第1図および第2図は本発明の一実施例を示す相転移型メモリ素子の断面図およびその製造工程図、第3図は本発明の他の実施例を示す相転移型メモリ素子の断面図、第4図は従来の相転移型メモリ素子の断面図である。

1 1 … 基板、1 2 … 下部電極、1 3 … 層間絶縁膜、1 3 a … 第1の絶縁膜、1 3 b … 第2の絶縁膜、1 4 … 開口、1 5 … 貫通孔、1 6 … カルコゲナイト系半導体層、1 7 … 上部電極。

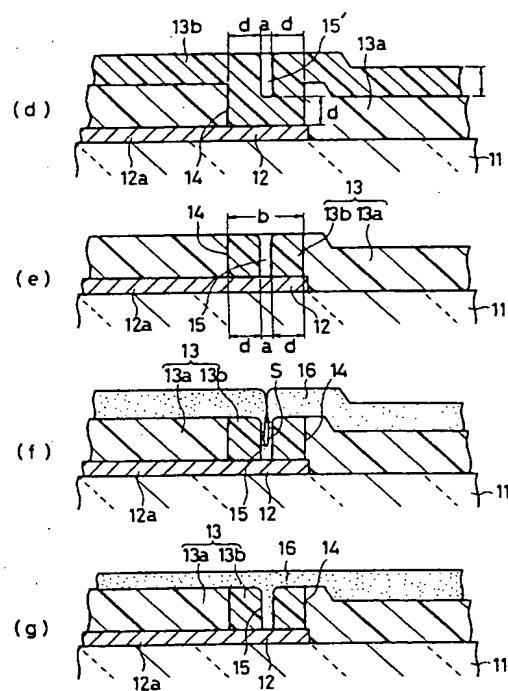
出願人 カシオ計算機株式会社



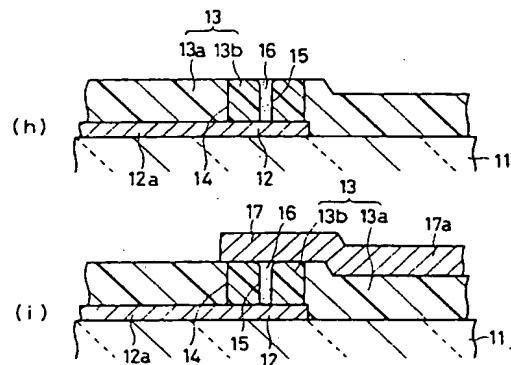
第1図



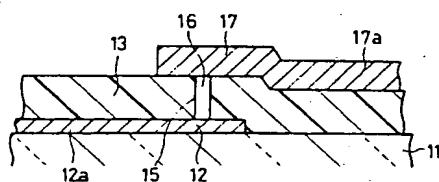
第2図



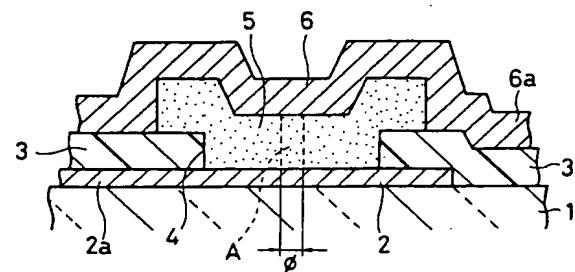
第2図



第3図



第4図



第4図